

REÇU 24 SEP. 2004
OMPI PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 05 JUIL. 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ

RÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle - Livre VI

REQUÊTE EN DÉLIVRANCE
page 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 210502

Réserve à l'INPI			
EMISSION DES PIÈCES DATE EU 24 JUIN 2003 D'ENREGISTREMENT ATIONAL ATTRIBUÉ PAR L'INPI ATE DE DÉPÔT ATTRIBUÉE AR L'INPI les références pour ce dossier <i>(facultatif)</i> BIF023273/FR		NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE SANTARELLI 14, avenue de la Grande Armée 75017 PARIS	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE <input checked="" type="checkbox"/> Demande de brevet <input type="checkbox"/> Demande de certificat d'utilité Demande divisionnaire <i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i> Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		Cochez l'une des 4 cases suivantes <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> N° _____ Date _____ N° _____ Date _____ N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit intégré sur puce de hautes performances			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date _____ N° _____ Pays ou organisation Date _____ N° _____ Pays ou organisation Date _____ N° _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé « Suite »	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale Prénoms Forme juridique N° SIREN Code APE-NAF		COMMISSARIAT A L'ENERGIE ATOMIQUE Etablissement public à caractère scientifique, technique et industriel _____ 31/33, rue de la Fédération	
Domicile ou siège	Rue		
	Code postal et ville	75752	PARIS CEDEX 15
Pays		FRANCE FRANCAISE	
Nationalité		N° de télécopie (facultatif)	
N° de téléphone (facultatif)		<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé « Suite »	
Adresse électronique (facultatif)		Remplir impérativement la 2 ^{me} page	

REMISE DES PIÈCES	Réservé à l'INPI
DATE	
LIEU	24 JUIN 2003
N° D'ENREGISTREMENT	75 INPI PARIS
NATIONAL ATTRIBUÉ PAR L'INPI	0307617

08 540 W / 210502

6 MANDATAIRE (34) à lieu							
<p>Nom</p> <p>Prénom</p> <p>Cabinet ou Société</p> <p>SANTARELLI</p>							
<p>N ° de pouvoir permanent et/ou de lien contractuel</p> <p>Adresse</p> <table border="1"> <tr> <td>Rue</td> <td>14 Avenue de la Grande Armée</td> </tr> <tr> <td>Code postal et ville</td> <td>75101 PARIS</td> </tr> <tr> <td>Pays</td> <td>FRANCE</td> </tr> </table> <p>N° de téléphone (facultatif)</p> <p>N° de télécopie (facultatif)</p> <p>Adresse électronique (facultatif)</p>		Rue	14 Avenue de la Grande Armée	Code postal et ville	75101 PARIS	Pays	FRANCE
Rue	14 Avenue de la Grande Armée						
Code postal et ville	75101 PARIS						
Pays	FRANCE						
<p>7 INVENTEUR (S)</p> <p>Les inventeurs sont nécessairement des personnes physiques</p> <p>Les demandeurs et les inventeurs sont les mêmes personnes</p> <p><input type="checkbox"/> Oui</p> <p><input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)</p>							
<p>8 RAPPORT DE RECHERCHE</p> <p>Établissement immédiat ou établissement différé</p> <p><input checked="" type="checkbox"/></p> <p><input type="checkbox"/></p> <p>Paiement échelonné de la redevance (en deux versements)</p> <p>Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt</p> <p><input type="checkbox"/> Oui</p> <p><input type="checkbox"/> Non</p>							
<p>9 RÉDUCTION DU TAUX DES REDEVANCES</p> <p>Uniquement pour les personnes physiques</p> <p><input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition)</p> <p><input type="checkbox"/> Obtenu antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG</p>							
<p>10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS</p> <p><input type="checkbox"/> Cochez la case si la description contient une liste de séquences</p>							
<p>Le support électronique de données est joint</p> <p><input type="checkbox"/></p> <p>La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe</p> <p><input type="checkbox"/></p> <p><input type="checkbox"/></p>							
<p>Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes</p>							
<p>11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)</p> <p>Bruno QUANTIN N°92.1206 SANTARELLI</p>							
<p>VISA DE LA PRÉFECTURE OU DE L'INPI</p> <p>Mme BLANCANEAUX</p>							

La présente invention concerne le domaine des circuits intégrés, et notamment celui des composants passifs intégrés sur puce.

Dans le domaine des circuits intégrés, on cherche de plus en plus :

- à réduire la taille prise par les composants,
- 5 - à diminuer les coûts de fabrication, et
- à introduire de nouvelles fonctions.

Pour atteindre ces objectifs, il est nécessaire d'intégrer de façon collective sur une même puce de circuit intégré analogique ou numérique, un nombre de plus en plus grand de composants qui étaient autrefois fabriqués 10 séparément. Il s'agit essentiellement de trois catégories de composants : d'une part les circuits dits « actifs » (transistors), d'autre part les composants dits « passifs » (résistances, condensateurs, inductances), et enfin les MEMS (initiales des mots anglais « *Micro-Electro-Mechanical Systems* », c'est-à-dire « Systèmes Electro-mécaniques Microscopiques ») (filtres acoustiques, 15 interrupteurs radiofréquence, condensateurs à capacités variables).

On peut intégrer les composants passifs et/ou les MEMS indépendamment des transistors, mais leur intégration monolithique avec les transistors est la plus intéressante en terme de compacité et de coût. Toutefois, cette intégration monolithique se heurte à un certain nombre de difficultés 20 technologiques.

Premièrement, la nature des couches, ou les traitements nécessités par la fabrication des composants passifs, ne sont pas toujours facilement compatibles avec une fabrication sur les circuits actifs.

Par exemple, il existe des cas où l'élaboration d'un second matériau 25 après celle d'un premier matériau dans un empilement sur tranche de silicium nécessite l'utilisation d'une température supérieure à celle à partir de laquelle ledit premier matériau subit des dégradations inacceptables. C'est notamment le cas pour l'intégration de condensateurs de découplage dans les circuits intégrés. Ces condensateurs doivent stocker une charge électrique élevée ; la 30 charge électrique étant proportionnelle à la capacité et à la tension d'alimentation, l'augmentation de la capacité permet l'amélioration des performances recherchées (on rappelle que la capacité est proportionnelle à la

constante diélectrique, à la surface d'électrode, et à l'inverse de l'épaisseur du diélectrique du condensateur).

On réalise classiquement les condensateurs sur la même tranche que les transistors. Pour abaisser les coûts de production, il est naturellement souhaitable d'utiliser à cet effet des condensateurs de petite taille. On peut alors envisager d'obtenir les capacités requises en faisant appel à des matériaux diélectriques à très haute constante diélectrique comparativement aux matériaux usuels (SiO_2 , Si_3N_4 , Ta_2O_5 , ZrO_2 , ou Al_2O_3).

Or il existe des matériaux ferroélectriques, appartenant à la classe des « pérovskites », qui possèdent des constantes diélectriques très élevées (constante relative de plusieurs centaines d'unités) ; les pérovskites constituent l'essentiel des matériaux étudiés pour des applications de condensateurs à forte capacité dans la gamme souhaitée de constantes diélectriques (voir par exemple l'article de T. Ayguavives *et al.* intitulé « *Physical Properties of (Ba, Sr)TiO₃ Thin Films used for Integrated Capacitors in Microwave Applications* », IEEE 2001). La phase cristalline pérovskite s'obtient à des températures habituellement comprises entre 600°C et 700°C. Mais de telles températures sont incompatibles avec le métal d'interconnexion des transistors, à base d'aluminium ou de cuivre. Si certains procédés connus à basse température (voir par exemple l'article de D. Liu *et al.* intitulé « *Integrated Thin Film Capacitor Arrays* », International Conference on High Density Packaging and MCMs, 1999) font appel à une pérovskite, ils concernent en fait une phase où la pérovskite n'est pas pure ou est de qualité structurale ou micro-structurale médiocre, ce qui fait que la constante diélectrique est très inférieure à celle du même matériau recuit à plus haute température.

Les procédés classiques mentionnés ci-dessus ne permettent donc pas de tirer véritablement parti des avantages des pérovskites. En effet, la température maximum autorisée décroît progressivement au fur et à mesure des étapes réalisées, et la principale difficulté provient de ce que la mise en place d'un matériau à procédé « chaud » (le diélectrique) intervient chronologiquement après celle d'un matériau à procédé « froid » (le métal d'interconnexion).

On connaît néanmoins une méthode pour porter le diélectrique à plus haute température que ce que peuvent supporter les métaux d'interconnexion. Cette méthode consiste à isoler le diélectrique du métal d'interconnexion par une couche de protection thermique, puis à recuire le diélectrique à l'aide d'un

5 laser à impulsions suffisamment brèves pour que, si la diffusion thermique est assez faible, la température du métal demeure inférieure à la température du diélectrique et soit acceptable (voir par exemple l'article de P.P. Donohue *et al.* intitulé « *Pulse-Extended Excimer Laser Annealing of Lead Zirconate Titanate Thin Films* », Actes du 12^{ème} Symposium International sur les Ferroélectriques

10 Intégrés, Aachen, Allemagne, mars 2000, publié dans *Integrated Ferroelectrics*, vol. 31, pages 285 à 296, 2000). Le contrôle de cette méthode est toutefois délicat, car la couche de protection reste à terme sur la tranche. Elle ne peut donc pas être très épaisse (elle est habituellement inférieure à 2 µm), et elle peut affecter les performances électriques des dispositifs. La différence de

15 température entre le métal d'interconnexion et le diélectrique est donc limitée, autrement dit la température à laquelle le diélectrique peut être soumis est limitée. De plus, l'empilement est soumis à un fort gradient thermique pendant cette opération, ce qui peut engendrer une température de surface trop élevée, une cristallisation non homogène du diélectrique, ou encore des dégradations de

20 matériaux, comme des microfissures, dues aux dilatations thermiques.

Une solution connue à ce problème de température consiste à réaliser les dispositifs passifs intégrant les condensateurs sur une autre tranche de silicium que le substrat contenant les composants actifs, puis à connecter les deux puces entre elles par câblage filaire ou par l'intermédiaire de

25 microbilles (voir par exemple l'article de R. Heistand *et al.* intitulé « *Advances in Passive Integration for C/RC Arrays & Networks with Novel Thin & Thick Film Materials* », 36^{ème} Conférence Nordique IMAPS, Helsinki, 1999). Mais ces méthodes présentent certains inconvénients :

- le câblage filaire ne permet pas d'établir des connexions de courte

30 distance entre condensateurs et transistors, et

- les connexions par microbilles ne peuvent être réalisées qu'une fois au-dessus d'un circuit ; si les condensateurs sont réalisés de cette manière, il

n'est plus possible de rajouter d'autres fonctions telles que, par exemple, des microinterrupteurs ou des filtres à onde de surface.

Pour éviter ces problèmes, on limite classiquement la température d'élaboration à 450°C environ, ce qui permet d'intégrer les composants dans

5 les métallisations usuelles, ou au-dessus d'elles, dans les circuits intégrés à base d'aluminium ou de cuivre (voir par exemple l'article de S. Jenei *et al.* intitulé « *High-Q Inductors and Capacitors on Si Substrate* », IEEE 2001, ou l'article de Bryan C. Hendrix *et al.* intitulé « *Low-Temperature Process for High-Density Thin-Film Integrated Capacitors* », International Conference on High-Density

10 Interconnect and Systems Packaging, 2000). De ce fait, ces procédés classiques sont fortement limités en ce qui concerne le type de matériau et les constantes diélectriques accessibles. Les capacités désirées sont donc atteintes en ayant recours à des condensateurs de grande surface, ce qui limite les possibilités d'intégration, et entraîne un surcoût de la puce en raison de

15 l'augmentation de la surface qu'elle occupe sur la tranche de silicium.

On connaît néanmoins une méthode pour augmenter la surface des électrodes sans pour autant augmenter les dimensions latérales de la puce (voir l'article de F. Roozeboom *et al.* intitulé « *High-Value MOS Capacitor Arrays in Ultradeep Trenches in Silicon* », publié dans *Microelectronic Engineering*, vol. 20, pages 581 à 584, Elsevier Science 2000). Cette méthode consiste à exploiter la profondeur du substrat pour intégrer des condensateurs de découplage de type MOS (initiales des mots anglais « *Metal-Oxide-Semiconductor* »), en creusant un réseau de tranchées étroites et profondes dans le substrat : on dispose autour de ces tranchées d'abord une couche de diélectrique, puis une couche formant

25 électrode ; l'autre électrode du réseau de condensateurs recouvre la surface du substrat. Mais outre la difficulté de réaliser des couches de diélectrique uniformes dans les tranchées, l'utilisation de condensateurs en tranchées rend difficile l'intégration planaire des composants passifs avec les composants actifs.

Plus généralement, on voit qu'une deuxième difficulté soulevée par

30 l'intégration monolithique des composants passifs ou des MEMS avec les transistors est qu'on ne peut profiter de la dimension verticale pour obtenir de

meilleures caractéristiques, ou une meilleure compacité pour les composants passifs.

Une troisième difficulté soulevée par l'intégration monolithique des composants passifs ou des MEMS avec les transistors est que les 5 caractéristiques des composants passifs sont perturbées par le type de substrat utilisé pour les circuits actifs.

A titre d'exemple, les substrats utilisés pour les circuits CMOS ou BICMOS ont des conductivités au plus de l'ordre de $10 \Omega \cdot \text{cm}$. Les courants induits dans ces substrats par les inductances ou les lignes conductrices 10 produisent des pertes importantes et diminuent ainsi les facteurs de qualité (grande inductance, fréquence de résonance élevée, faible capacité parasite) de ces structures.

Une première solution connue consiste à éliminer une partie du substrat sous les zones devant accueillir les inductances et les lignes, 15 conductrices (voir par exemple le brevet US-5,539,241). Une deuxième solution, connue consiste à rendre isolant le substrat sous les zones devant accueillir les inductances et les lignes conductrices (voir par exemple l'article de H.-S. Kim et al. intitulé « *A Porous-Si-based Novel Isolation Technology for Mixed-Signal Integrated Circuits* », Symposium on VLSI Technology, 2000). On connaît 20 encore une troisième solution, d'après le brevet US-6,310,387 : on structure les couches conductrices sous-jacentes en réalisant un grand nombre de petites zones conductrices en damier séparées les unes des autres par un isolant, et non reliées à la masse ; ces zones servent de blindage car il s'y forme, en fonctionnement, de petits courants de Foucault empêchant le champ 25 magnétique de pénétrer jusqu'au substrat ; ces zones ont une taille suffisamment faible pour éviter que ces courants de Foucault n'induisent dans les inductances un flux magnétique opposé à celui qu'on veut créer.

Mais ces diverses techniques sont complexes à mettre en œuvre, peuvent nuire à la robustesse du circuit intégré, et rendent difficile la mise en 30 place des composants actifs.

Enfin, une difficulté soulevée spécifiquement par l'intégration monolithique des MEMS avec les transistors est qu'il faut ajouter un capot

destiné à protéger les éléments mécaniques, sans perturber le fonctionnement de ces derniers. Une solution connue consiste à sceller une plaquette de silicium de même diamètre que la plaquette sur laquelle ont été réalisés les circuits (voir par exemple l'article de H. Tilmans *et al.* intitulé « *Zero-Level Packaging for 5 MEMS or MST Devices: the IRS Method* », *mstnews* 1/00). Cette technologie est assez coûteuse : en effet, il faut ajouter au coût du substrat supplémentaire le coût du scellement, celui d'un amincissement, et celui d'une gravure locale pour accéder aux plots électriques de sortie à la surface du circuit, tout cela uniquement pour réaliser la fonction de protection par capotage.

10 Pour résoudre la plupart des difficultés décrites ci-dessus, l'invention propose, selon un premier aspect, un procédé de fabrication de puce contenant un circuit intégré, ledit procédé étant remarquable en ce qu'il comprend les étapes suivantes :

- on réalise un premier substrat contenant des composants actifs ainsi 15 qu'un second substrat contenant des composants passifs critiques, et
- on scelle ces deux substrats.

Ces composants actifs peuvent par exemple être des transistors.

On dira que des composants passifs sont « critiques » lorsque leur élaboration directement sur le substrat contenant les circuits actifs et les 20 interconnexions métalliques poserait problème ; pour les raisons expliquées ci-dessus, il peut s'agir par exemple de MEMS, et/ou d'inductances de haute qualité, et/ou de condensateurs dont le matériau diélectrique est une pérovskite.

Certains de ces composants passifs critiques, tels que les MEMS et/ou 25 les condensateurs, sont de préférence élaborés dans ledit second substrat avant ledit scellement des deux substrats.

Grâce à l'invention, on peut notamment élaborer sur une tranche de silicium un second matériau à une température supérieure à la température maximum à laquelle peut être portée la tranche de silicium du fait d'un premier matériau déjà présent sur la tranche. L'invention permet cela en élaborant le 30 second matériau séparément de la tranche de silicium sur laquelle il est destiné à se trouver, puis en intégrant le second matériau sur cette tranche par les techniques de report de couche. Dans le cas particulier des condensateurs de

découplage, l'invention permet de porter le matériau diélectrique du condensateur à des températures permettant la cristallisation dans la phase pérovskite, sans aucune restriction imposée par le métal d'interconnexion sous-jacent, et sans avoir recours à une barrière de protection thermique entre les deux 5 matériaux.

Le procédé selon l'invention permet également de réaliser commodément une structure protégeant les MEMS. En effet, les MEMS étant élaborés à la surface du second substrat qui est destiné à être reporté sur le premier substrat, c'est ce premier substrat lui-même (dans lequel on a 10 préalablement aménagé un évidemment adéquat) qui sert, après scellement des deux substrats, de structure de protection pour les MEMS. On peut ainsi avantageusement faire l'économie de la réalisation d'un capot selon l'art antérieur.

Selon des caractéristiques particulières de l'invention, on élabore en 15 outre, au cours de la réalisation du second substrat, des tranchées d'isolation diélectrique destinées à réduire les interférences électromagnétiques entre les divers composants de la future puce.

Selon d'autres caractéristiques particulières, on élabore en outre, au cours de la réalisation du second substrat, des composants passifs non 20 critiques tels que des condensateurs en tranchées.

Certains autres composants passifs critiques sont de préférence élaborés après ledit scellement des deux substrats, au voisinage de la face du second substrat opposée à la face de scellement. Dans le cas des inductances, cela permet avantageusement de réduire considérablement les effets des 25 courants induits (pertes d'énergie, perturbations subies par les composants actifs, et ainsi de suite), même lorsque le second substrat est conducteur, puisqu'on place ainsi ces inductances loin du premier substrat.

Afin de diminuer encore plus les pertes par courants induits, et d'améliorer les facteurs de qualité des inductances, celles-ci seront, selon des 30 caractéristiques particulières, élaborées au-dessus de tranchées d'isolation inductive préalablement aménagées dans le second substrat.

Selon un second aspect, l'invention concerne également diverses

puces contenant des circuits intégrés.

Elle concerne ainsi, premièrement, une puce remarquable en ce qu'elle a été fabriquée au moyen de l'un quelconque des procédés décrits succinctement ci-dessus.

5 Deuxièmement, l'invention concerne une puce remarquable en ce qu'elle comprend, d'une part, des composants actifs, et d'autre part des condensateurs dont le matériau diélectrique est une pérovskite et/ou des MEMS logés dans un évidement situé à l'intérieur de ladite puce.

10 Selon des caractéristiques particulières, la puce comprend en outre des tranchées d'isolation diélectrique.

Selon d'autres caractéristiques particulières, la puce comprend en outre des composants passifs non critiques tels que des condensateurs en tranchées.

15 Selon d'autres caractéristiques particulières, lesdits composants actifs sont disposés au voisinage d'une première face de la puce, et celle-ci comprend en outre des inductances situées au voisinage de la face de la puce opposée à ladite première face.

Selon des caractéristiques encore plus particulières, lesdites inductances sont situées au-dessus de tranchées d'isolation inductive.

20 Selon d'autres caractéristiques particulières, lesdits composants actifs sont disposés au voisinage d'une première face de la puce, et celle-ci comprend en outre des lignes d'interconnexion traversantes qui émergent au voisinage de la face de la puce opposée à ladite première face.

25 Les avantages offerts par ces puces sont essentiellement les mêmes que ceux offerts par les procédés de fabrication correspondants.

D'autres aspects et avantages de l'invention apparaîtront à la lecture de la description détaillée, que l'on trouvera ci-dessous, de modes particuliers de réalisation donnés à titre d'exemples non limitatifs. Cette description se réfère aux dessins annexés, dans lesquels :

30 - la figure 1 représente un premier substrat traité selon un mode de réalisation de l'invention,

- la figure 2 représente un second substrat traité selon ce mode de réalisation de l'invention,

- la figure 3 représente l'ensemble obtenu après report, selon l'invention, dudit second substrat 2 sur ledit premier substrat 1,

5 - la figure 4 représente la puce obtenue selon ce mode de réalisation de l'invention, et

- la figure 5 est une vue agrandie d'une partie de la figure 4.

Conformément au procédé selon l'invention, on commence par préparer deux substrats 1 et 2, dans un ordre quelconque, ou simultanément.

10 La figure 1 représente un « premier » substrat 1 constitué par une tranche de silicium ou d'un matériau semi-conducteur quelconque de type III-V. Ce premier substrat 1 contient d'une part des composants actifs 3 qui ont été intégrés selon une technique connue quelconque (par exemple CMOS ou BICMOS), et d'autre part des interconnexions métalliques (non représentées).

15 Dans ce mode de réalisation, on dépose une couche épaisse 4 d'isolant, par exemple de SiO_2 , que l'on grave localement (évidemment 5), le cas échéant, à l'aplomb des composants MEMS éventuellement prévus sur le deuxième substrat.

Enfin, on prévoira des plots de métallisation 9, qui seront ultérieurement reliés à d'autres parties de la puce comme expliqué plus bas.

20 La figure 2 représente une tranche formant un « second » substrat 2. Dans ce mode de réalisation, ce substrat 2 a été muni :

- de tranchées d'isolation diélectrique 6,
- de condensateurs à très haute constante diélectrique 7,
- de MEMS 8,
- de condensateurs en tranchées 15, et
- de tranchées d'isolation inductive 18.

25 On va décrire en détail la fabrication de condensateurs 7 dont le matériau diélectrique est une pérovskite. On envisagera à titre d'exemples deux modes de réalisation.

30 Selon un premier mode de réalisation de condensateurs 7 dont le matériau diélectrique est une pérovskite, on prend un second substrat 2 en un

matériau isolant, ou en silicium de haute résistivité, ou en un semi-isolant tel que le verre. On met alors en œuvre les étapes suivantes :

- a) on dépose une couche d'oxyde de silicium SiO_2 ;
- b) on dépose une première électrode, qui peut être composée de
- 5 plusieurs couches de matériaux métalliques, par exemple une couche de Ti ou de RuO_2 ou de IrO_2 , recouverte d'une couche de platine ;
- c) on dépose, selon une méthode connue quelconque (par exemple « Sol Gel », pulvérisation cathodique, ou « MOCVD »), le matériau diélectrique constitué par une couche mince de pérovskite telle que SrTiO_3 , $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$
- 10 (appelée « PZT ») ou $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (appelée « BST ») ;
- d) on recuit à haute température (par exemple 700°C) ce diélectrique pour obtenir la phase pérovskite ;
- e) on dépose une seconde électrode, qui peut être composée de plusieurs couches de matériaux métalliques, par exemple une couche de
- 15 platine recouverte d'une couche de Ti ; et
- f) de préférence, on dépose une couche d'isolant, par exemple de SiO_2 , pour favoriser le collage ultérieur (voir ci-dessous).

Selon un autre procédé de fabrication des condensateurs 7 dont le matériau diélectrique est une pérovskite, on peut utiliser, en guise de second

20 substrat 2, une couche épaisse de pérovskite obtenue au préalable. Dans ce cas, on omettra les étapes a) à d) décrites ci-dessus.

Le procédé selon l'invention permet ainsi de réaliser, à la température élevée requise, des condensateurs possédant un diélectrique de très haute constante diélectrique, sans craindre pour autant d'endommager les

25 composants actifs ou les interconnexions métalliques du futur circuit intégré.

Les composants MEMS 8, qui peuvent être à fonctionnement électromécanique ou électroacoustique, tels que des micro-commutateurs électromécaniques ou des résonateurs acoustiques, sont réalisés de manière connue par une succession de dépôts et de gravures.

30 On va à présent décrire en détail la fabrication de condensateurs en tranchées 15. Il s'agit de condensateurs de large surface d'électrodes, et donc,

eux aussi, de forte capacité, qui sont implantés conformément à l'article de F. Roozeboom cité ci-dessus. Plus précisément :

- a) on réalise la gravure de tranchées selon des motifs prédéfinis et sur une profondeur légèrement supérieure à l'épaisseur du futur substrat après 5 amincissement (voir ci-dessous) ;
- b) on fait croître sur les faces de chaque tranchée un diélectrique de haute qualité ; l'épaisseur de ce diélectrique doit être aussi faible que possible de façon à ce que la capacité des condensateurs 15 soit aussi grande que possible ; par exemple, si l'on prévoit que la tension qui sera appliquée aux 10 bornes des condensateurs sera de quelques volt, on fera croître une épaisseur de diélectrique comprise, de préférence, entre 10 et 50 nm ; dans le cas où le substrat 2 est en silicium, on utilisera avantagusement pour cela l'oxyde de silicium obtenu par effet thermique, en association éventuellement avec une nitruration ou un dépôt de nitre de silicium ; on peut aussi utiliser, par 15 exemple, des diélectriques de plus haute permittivité comme Al_2O_3 , HgO_2 , ou Ta_2O_5 déposés de manière connue ;
- c) on remplit les tranchées d'un matériau fortement conducteur pour réaliser une des armatures du condensateur ; on peut par exemple utiliser pour ce faire du silicium polycristallin non dopé (ou dopé *in situ*) ; et
- 20 d) on réalise une gravure localisée par masquage dudit matériau fortement conducteur pour délimiter des zones en surface du substrat 2 et isoler les armatures du condensateur du reste du circuit semi-conducteur.

On choisira de préférence, pour constituer le substrat 2, un matériau de haute conductivité (tel que le silicium) car le substrat constituera une des 25 armatures des condensateurs en tranchées. Les flancs des tranchées du côté du substrat devront être fortement dopés pour rendre le substrat suffisamment conducteur. Enfin, on réalisera un contact ohmique sur le substrat afin de pouvoir relier une électrode des condensateurs à un circuit électrique.

En variante, dans le cas des circuits intégrés ne comportant pas de 30 condensateurs en tranchées, il est préférable au contraire de choisir, pour constituer le deuxième substrat 2, un matériau de faible conductivité (tel

que le verre) pour limiter les pertes dues aux courants induits engendrés par les inductances (voir ci-dessous).

En offrant la possibilité de creuser des tranchées profondes dans le second substrat 2, l'invention permet de développer une grande surface 5 d'électrodes pour ces condensateurs, et d'augmenter ainsi considérablement, pour une surface latérale donnée de substrat, la valeur de la capacité par rapport à un procédé d'intégration monolithique classique.

Quant aux tranchées d'isolation inductive 18, elles sont réalisées conformément à l'enseignement du brevet US-6,310,387 résumé ci-dessus.

10 Comme on l'a expliqué, ces tranchées 18 contribuent à la réalisation d'inductances de haute qualité.

Enfin, on réalise des métallisations permettant de confectionner des contacts sur les armatures des condensateurs de très forte capacité 7 et sur les MEMS 8, et de les relier entre eux. On prévoira également des plots de 15 métallisation 10 qui seront ensuite reliés à d'autres parties de la puce par des passages aménagés à travers le second substrat 2 (voir plus bas).

De préférence, on appliquera ici un polissage mécano-chimique à la couche supérieure de la tranche ainsi obtenue, afin de lui conférer une rugosité favorisant le report de couche par adhésion moléculaire.

20 La **figure 3** représente l'ensemble obtenu après collage, selon l'invention, du second substrat 2 sur le premier substrat 1.

On notera également, dans ce mode de réalisation, le respect de l'alignement entre les MEMS 8 et les évidements 5. Le procédé de fabrication selon l'invention assure ainsi la protection des composants électromécaniques 25 tels que ces MEMS 8.

Le collage du second substrat 2 sur le premier substrat 1 pourra être réalisé, par exemple, par adhésion moléculaire, ou par soudure eutectique, ou par soudure anodique (en anglais, « *anodic bonding* »), ou par collage polymère. De préférence, on évitera d'utiliser une colle en couche afin de ne 30 pas augmenter le nombre total de couches.

A ce stade, pour compléter la fabrication de la puce selon l'invention, il est nécessaire de construire le réseau d'interconnexions permettant de

connecter les électrodes des condensateurs, et le réseau d'interconnexions sous-jacent du second substrat 2. On notera que, dans le cadre de l'invention, il s'agit ici d'accéder à des couches enterrées, contrairement aux procédés de fabrication monolithiques selon l'état de l'art dans lesquels on peut déposer et 5 graver immédiatement chaque couche successive.

Ces étapes finales vont conduire à la puce 100 illustrée sur la **figure 4.**

a) On amincit et polit le second substrat 2 ; pour ce faire, on peut par exemple appliquer un polissage mécano-chimique ; on peut aussi, comme 10 expliqué dans le brevet EP0807970, réaliser une implantation ionique dans un plan du substrat 2, de façon à créer des microcavités qui fragilisent le substrat et permettent une fracture subséquente suivant ce plan. On poursuit l'amincissement jusqu'à pénétrer dans les structures en tranchées 6, 15, et 18.

b) On grave localement le second substrat 2 puis les couches 15 diélectriques à l'aplomb de façon à dégager les futurs contacts sur les plots de métallisation 9 et sur les plots de métallisation 10.

c) On dépose un isolant 11, en SiO_2 par exemple, à basse température, de façon à recouvrir la surface libre du second substrat 2.

d) On réalise des électrodes traversantes 16 (resp. 17) pour connecter 20 les plots de métallisation 9 (resp. 10) à la surface libre de l'isolant 11. Dans ce mode de réalisation, on utilise à cet effet la technique divulguée dans l'article de M. Tomisaka *et al.* intitulé « *Electroplating Cu Fillings for Through-Vias for Three-Dimensional Chip Stacking* » (Electronic Components and Technology Conference, 2002). Cette interconnexion entre les composants du premier 25 substrat 1 et les composants du second substrat 2 au moyen d'électrodes traversantes est illustrée sur la **figure 5**. On grave d'abord l'isolant 11 de façon à :

- réaliser, à des endroits prédéterminés destinés à délimiter de futures lignes conductrices, des motifs en creux ainsi que des trous (en anglais, 30 « *vias* ») dans cet isolant, et
- éliminer l'isolant au fond des vias.

Puis on réalise une métallisation conductrice sur la surface, et dans les trous qui ont été réalisés dans l'isolant. Pour cela, on dépose de fines couches de TaN ou TiN, et on utilise ce fond continu pour réaliser une électrolyse de cuivre épais.

5 e) On aplani ce cuivre et ledit fond continu selon des techniques connues (par exemple, par polissage mécano-chimique) jusqu'à leur élimination complète des zones hautes de l'isolant, pour ne laisser du métal que dans les motifs en creux dessinés à l'étape d), dans les tranchées de l'isolant et dans les trous verticaux : on obtient ainsi, d'une part, des électrodes traversantes 10 (16,17), et d'autre part, en surface, des inductances 12 selon une structure dite « Damascene » (voir la figure 5). L'épaisseur des creux et du métal seront choisis de façon à minimiser la résistance de cette couche.

15 Selon un autre mode de réalisation, la métallisation peut être réalisée, de manière connue, par une partie traversante en tungstène associée à des lignes ou des plots en aluminium.

20 L'invention permet de diminuer fortement les pertes par courants induits puisque, en réalisant ces inductances 12 sur la face du second substrat 2 opposée à la face de scellement, on éloigne ces inductances 12 du premier substrat 1 (qui peut être un bon conducteur), d'une épaisseur pouvant être élevée, et que les tranchées 18 situées sous les inductances 12 suppriment les courants induits.

25 La présente invention ne se limite pas aux modes de réalisation décrits ci-dessus : en fait, l'homme de l'art pourra mettre en œuvre diverses variantes de l'invention tout en restant à l'intérieur de la portée des revendications ci-jointes. Par exemple, on a décrit ci-dessus des modes de réalisation dans lesquels la gravure des diverses couches était effectuée après report du second substrat sur le premier ; mais il est parfaitement possible d'effectuer certaines étapes de gravure sur le premier substrat 1 et/ou sur le second substrat 2 avant l'étape de report. D'autre part, on pourra naturellement 30 ajouter d'autres éléments, tels que des couches barrière ou des couches anti-adhésives, aux éléments composant les modes de réalisation décrits ci-dessus.

REVENDICATIONS

1. Procédé de fabrication de puce contenant un circuit intégré,
5 caractérisé en ce qu'il comprend les étapes suivantes.:

- on réalise un premier substrat (1) contenant des composants actifs (3) ainsi qu'un second substrat (2) contenant des composants passifs critiques, et
- on scelle les deux substrats (1) et (2).

2. Procédé selon la revendication 1, caractérisé en ce que lesdits
10 composants actifs (3) comprennent des transistors.

3. Procédé selon la revendication 1 ou la revendication 2, caractérisé en ce que les composants passifs critiques élaborés dans ledit second substrat (2) avant ledit scellement comprennent des MEMS (8) et/ou des condensateurs (7).

15 4. Procédé selon la revendication 3, caractérisé en ce que le matériau diélectrique desdits condensateurs (7) est une pérovskite.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que ledit second substrat (2) est en un matériau électriquement conducteur.

20 6. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que ledit second substrat (2) est en un matériau diélectrique.

7. Procédé selon la revendication 6, caractérisé en ce que le second substrat (2) est en pérovskite.

25 8. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, au cours de la réalisation du second substrat (2), des tranchées d'isolation diélectrique (6).

9. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, au cours de la réalisation du second substrat (2), des composants passifs non critiques tels que des 30 condensateurs en tranchées (15).

10. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, après ledit scellement des deux

substrats (1) et (2), des inductances (12) au voisinage de la face du second substrat (2) opposée à la face de scellement.

11. Procédé selon la revendication 10, caractérisé en ce que l'on élabore lesdites inductances (12) au-dessus de tranchées d'isolation inductive 5 (18) préalablement aménagées dans le second substrat (2).

12. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, après ledit scellement des deux substrats (1) et (2), des lignes d'interconnexion (16,17) traversant tout ou partie du second substrat (2).

10 13. Puce (100), caractérisée en ce qu'elle a été fabriquée au moyen d'un procédé selon l'une quelconque des revendications 1 à 12.

14. Puce (100), caractérisée en ce qu'elle comprend, d'une part, des composants actifs (3), et d'autre part des condensateurs (7) dont le matériau diélectrique est une pérovskite.

15 15. Puce (100), caractérisée en ce qu'elle comprend, d'une part, des composants actifs (3), et d'autre part des MEMS (8) logés dans un évidement (5) situé à l'intérieur de ladite puce (100).

20 16. Puce selon la revendication 14 ou la revendication 15, caractérisée en ce qu'elle comprend en outre des tranchées d'isolation diélectrique (6).

17. Puce selon l'une quelconque des revendications 14 à 16, caractérisée en ce qu'elle comprend en outre des composants passifs non critiques tels que des condensateurs en tranchées (15).

25 18. Puce selon l'une quelconque des revendications 14 à 17, caractérisée en ce que lesdits composants actifs (3) sont disposés au voisinage d'une première face de la puce (100), et qu'elle comprend en outre des inductances (12) situées au voisinage de la face de la puce (100) opposée à ladite première face.

30 19. Puce selon la revendication 18, caractérisée en ce que lesdites inductances (12) sont situées au-dessus de tranchées d'isolation inductive (18).

20. Puce selon l'une quelconque des revendications 14 à 19, caractérisée en ce que lesdits composants actifs (3) sont disposés au voisinage

d'une première face de la puce (100), et qu'elle comprend en outre des lignes d'interconnexion (16,17) traversantes qui émergent au voisinage de la face de la puce (100) opposée à ladite première face.

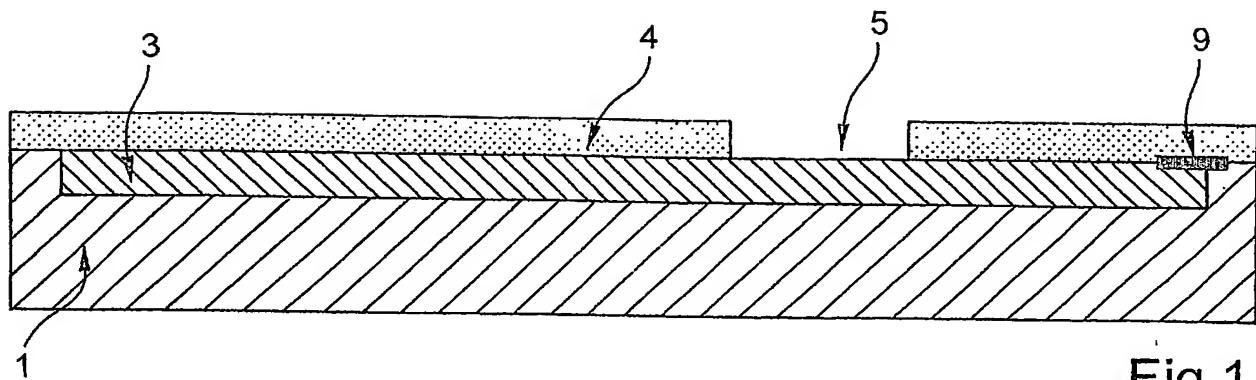


Fig.1

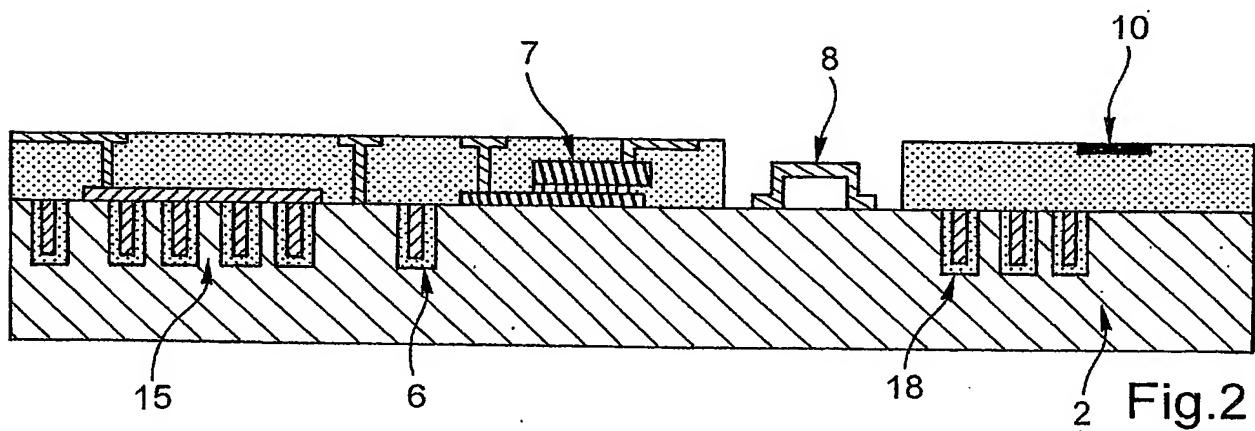


Fig.2

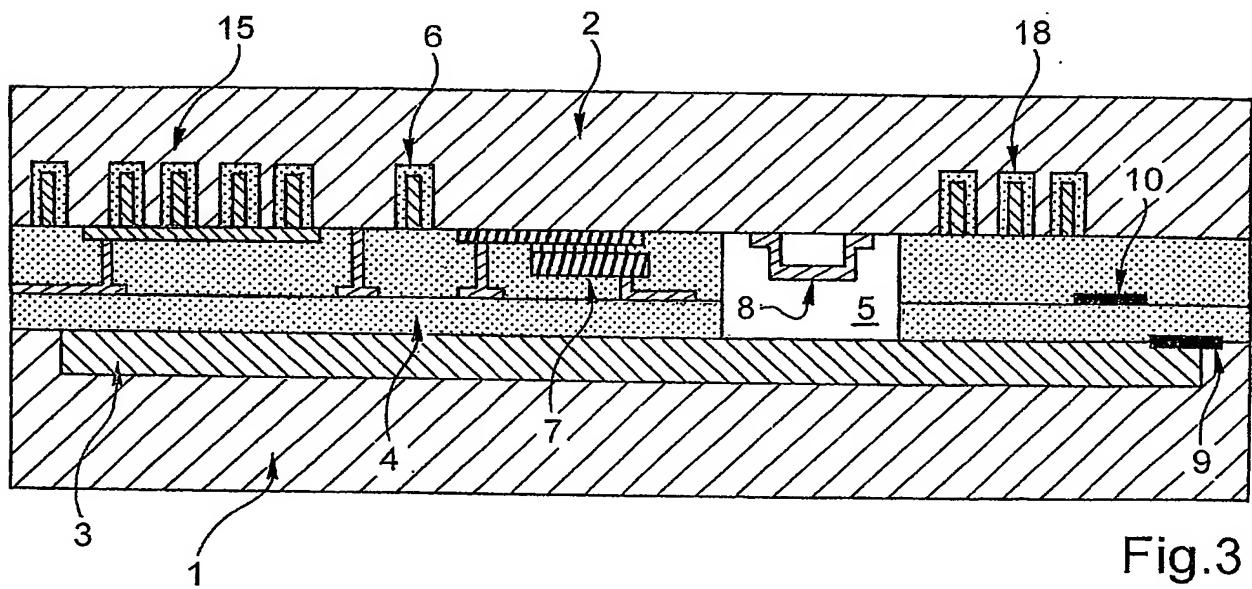


Fig.3

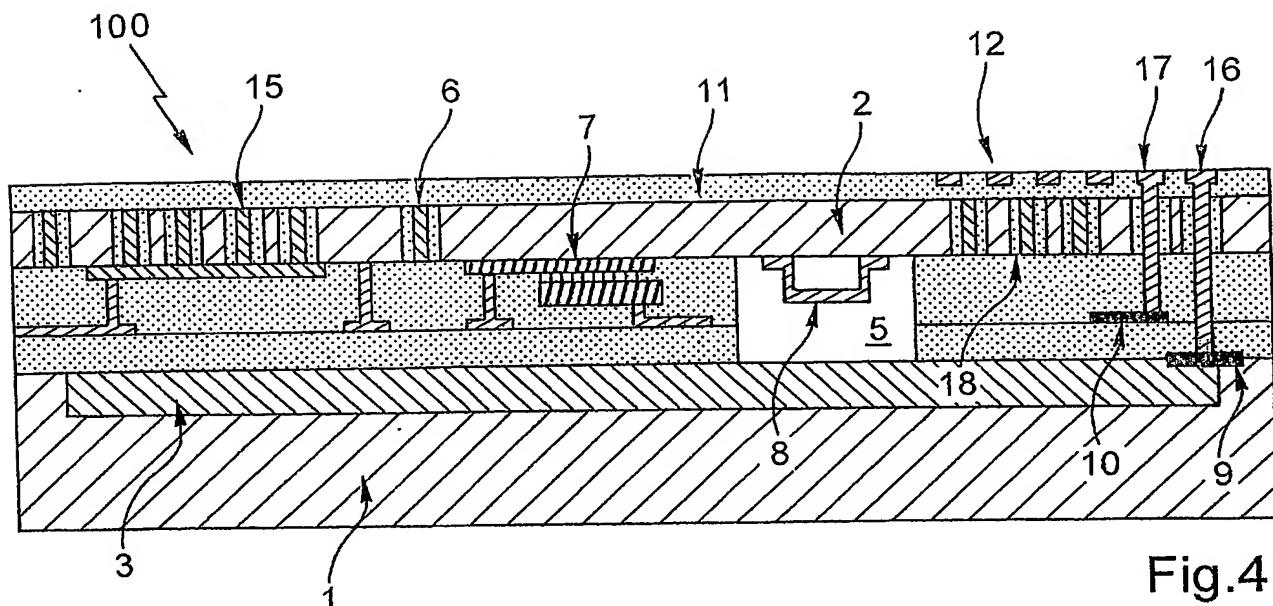


Fig.4

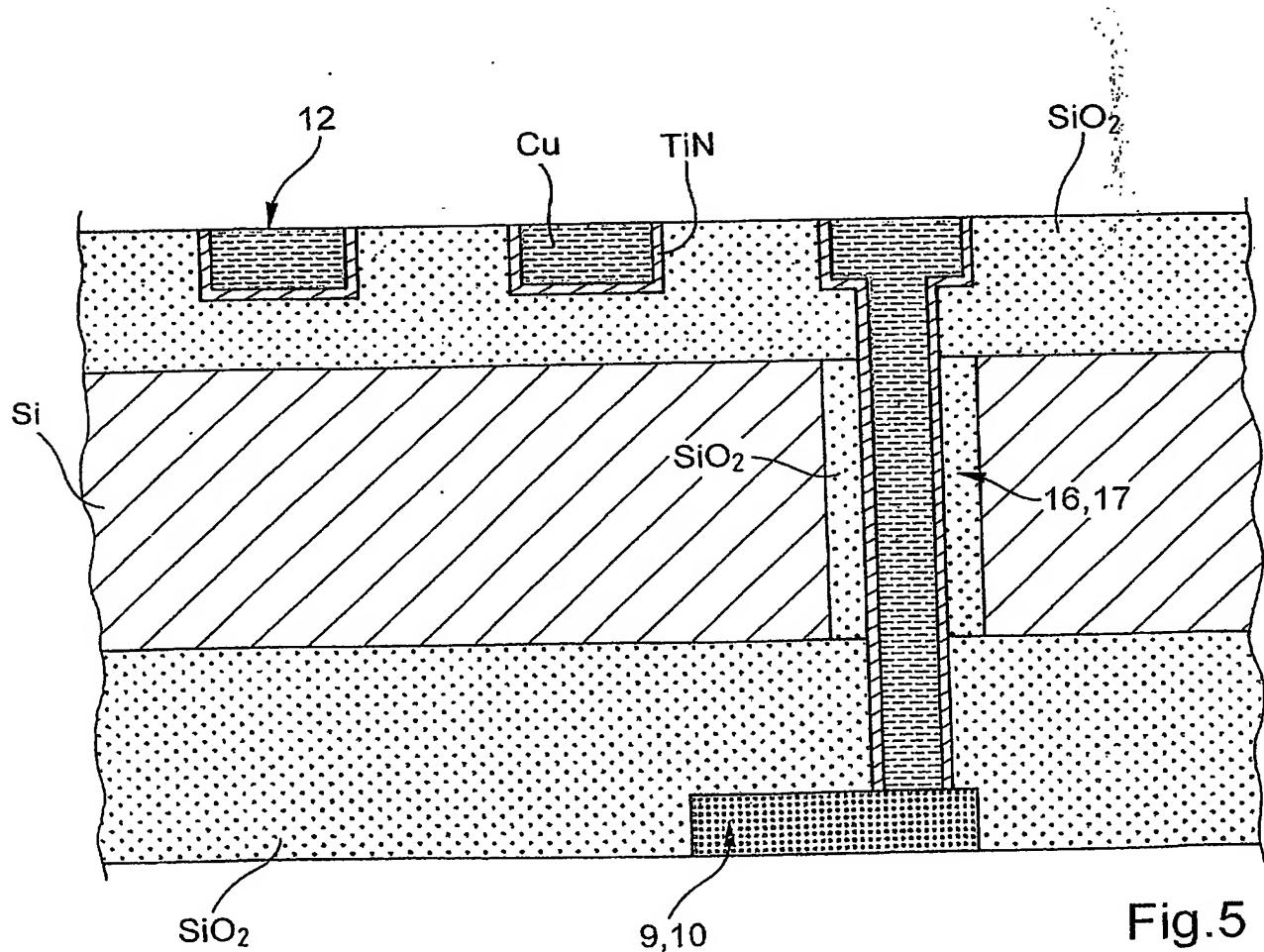


Fig.5

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
 75800 Paris Cedex 08
 Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1.1.

(À fournir dans le cas où les demandeurs et
 les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 270601

Vos références pour ce dossier (facultatif)	BIF023273/FR
N° D'ENREGISTREMENT NATIONAL	0303617
TITRE DE L'INVENTION (200 caractères ou espaces maximum)	

Circuit intégré sur puce de hautes performances

LE(S) DEMANDEUR(S) :

COMMISSARIAT A L'ENERGIE ATOMIQUE

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

1 Nom		JOLY	
Prénoms		Jean-Pierre	
Adresse	Rue	22, place Salvador Allende	
	Code postal et ville	38120	SAINT-EGREVE
Société d'appartenance (facultatif)			
2 Nom		ULMER	
Prénoms		Laurent	
Adresse	Rue	55 bis, rue de Stalingrad	
	Code postal et ville	38100	GRENOBLE
Société d'appartenance (facultatif)			
3 Nom		PARAT	
Prénoms		Guy	
Adresse	Rue	26, rue du Drac	
	Code postal et ville	38640	CLAIX
Société d'appartenance (facultatif)			

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivie du nombre de pages.

DATE ET SIGNATURE(S)

DU (DES) DEMANDEUR(S)

OU DU MANDATAIRE

(Nom et qualité du signataire)

Le 24 juin 2003

Bruno QUANTIN N°921206
 SANTARELLI

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.